超大型積體電路電腦輔助設計概論

Introduction to VLSI CAD

上機考考試題目

考試時間：120分鐘

**題目說明：**

鎖相迴路(PLL)經常會需要將輸出的高頻訊號，透過除頻器(Divider)將訊號降頻，來與相位偵測器做比較，藉此將輸出的高頻訊號鎖在我們的目標頻率。因此除頻器的設計會影響整個鎖相迴路的效能。圖一為經常使用到除二/三的電路，由兩個D Flip-Flop (DFF)與幾個邏輯閘所組成。

當control = 0且reset = 1時， = ，也就是除二的功能

當control = 1且reset = 1時， = ，也就是除三的功能

當 reset = 0 時 (負向觸發 ) ， = 0



圖一、除頻器架構 (VDD、GND訊號省略)

請實作出一個除二/三的電路，使輸出訊號可以依照control訊號而有不同的頻率，波形圖如圖二所示。

PMOS (W/L) = 1μm / 180nm，NMOS (W/L) = 0.5μm / 180nm

Tips : 可以觀察的週期來判斷是否有成功的降到目標頻率

圖二 目標波形圖



電路需自行撰寫testbench，經過presim確認波形無誤，使用laker進行layout的繪製，並且確認DRC與LVS均沒有錯誤，然後進行PEX的萃取，最後在完成postsim的波型模擬。

以下為輸入訊號條件 :

VDD : 1.8V GND : 0V

: 週期10us , duty=50% (50%在high,50%在low)

tr = tf = 10ns , initial = 0V

reset : 前20us = 0V , 其餘時間皆為 1.8V , tr = tf = 10ns

control : 週期400us , duty = 50% (50%在high,50%在low) , tr = tf = 10ns , initial = 0V

**注意事項：**

1. Layout圖中，請使用M1\_TEXT ~ M3\_ TEXT做為pin腳，禁止使用

PO\_ TEXT做pin腳

1. Layout圖中，所有pin腳都只能打一次，不能出現重複的pin腳

最後祝各位同學考試順利

上機考評分表

姓名： 學號：

|  |  |  |
| --- | --- | --- |
|  | 配分 | 助教簽名欄 |
| Presim正確 | 50 |  |
| DRC正確 | 10 |  |
| LVS正確 | 10 |  |
| Postsim正確 | 10 |  |
| Area | 10 |  |
| Time | 10 |  |

